

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-228563

(43)Date of publication of application : 15.08.2000

(51)Int.CI.

H01S 5/183

H01L 33/00

H01S 5/323

(21)Application number : 2000-025788

(71)Applicant : AGILENT TECHNOL INC

(22)Date of filing : 02.02.2000

(72)Inventor : CARTER-COMAN CARRIE
KERN R SCOTT
KISH JR FRED A
KRAMES MICHAEL R
NURMIKKO ARTO V
SONG YOON-KYU

(30)Priority

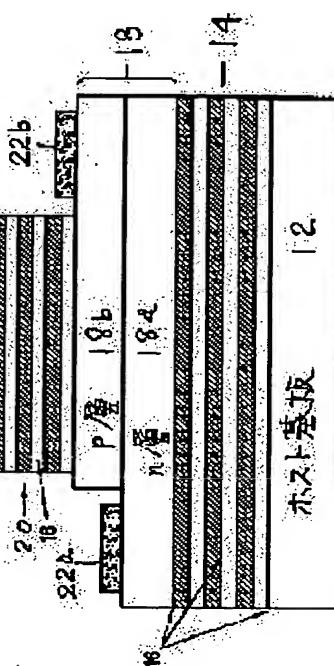
Priority number : 99 245435 Priority date : 05.02.1999 Priority country : US

(54) DEVICE AND ASSEMBLING METHOD FOR $Al_xGa_yIn_zN$ STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the structure of a semiconductor device provided with a mirror of high reflectivity by utilizing a dielectric distribution Bragg reflector(D-DBR).

SOLUTION: A substrate 12, an $Al_xGa_yIn_zN$ structure 18 comprising an n-type layer 18a placed in a close vicinity to the substrate, a p-type layer 18b and an active layer, a first mirror stack 14 put between the substrate and the bottom side of $Al_xGa_yIn_zN$ structure, a wafer bond interface 16 provided with a certain bonding temperature that is put between the first mirror stack 14 and a selected one out of the substrate and the $Al_xGa_yIn_zN$ structure, and p- and n-contact parts (22a and 22b) are contained. The p-contact part is electrically connected to the p-type layer, and the n-contact part is electrically connected to the n-type layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

Best Available Copy

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-228563
(P2000-228563A)

(43)公開日 平成12年8月15日(2000.8.15)

(51) Int.Cl.⁷
H 01 S 5/183
H 01 L 33/00
H 01 S 5/323

識別記号

F I
H 0 1 S 5/183
H 0 1 L 33/00
H 0 1 S 5/323

テ-マコ-ト*(参考)

審査請求 未請求 請求項の数1 QL (全 11 頁)

(21) 出願番号 特願2000-25788(P2000-25788)
(22) 出願日 平成12年2月2日(2000.2.2)
(31) 優先権主張番号 245435
(32) 優先日 平成11年2月5日(1999.2.5)
(33) 優先権主張国 米国(US)

(71)出願人 399117121
アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIES,
INC.
アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395
(72)発明者 キャリー・カーター・コマン
アメリカ合衆国カリフォルニア州サンノゼ
パレイ・スクエア・レイン 3301
(74)代理人 100105913
弁理士 加藤 公久

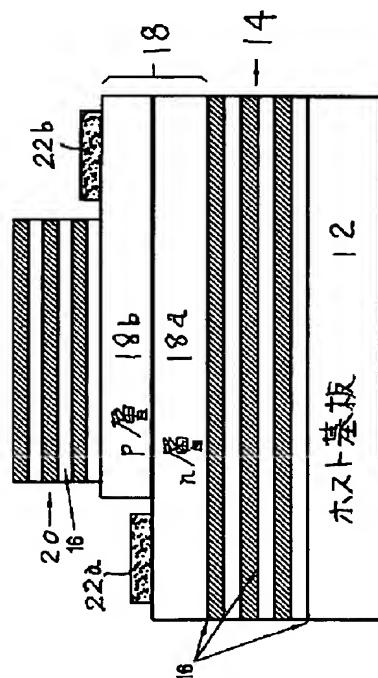
最終頁に統ぐ

(54) 【発明の名称】 テバイス及びAl_{1-x}G_xAs_yIn_zN構造の組立方法

(57) 【要約】

【課題】誘電体分布プラグ・リフレクタ (D-DBR) を用いて該高反射率ミラーを備える半導体デバイスの構造を与える。

【解決手段】 基板(12)と、基板に近接して配置されたnタイプ層(18a)、pタイプ層(18b)、及び、活性層を含む $A_{1-x}G_a y I_{n_z}N$ 構造(18)と、基板と $A_{1-x}G_a y I_{n_z}N$ 構造の底側の間にに入る第1のミラー・スタック(14)と、第1のミラー・スタックと基板及び $A_{1-x}G_a y I_{n_z}N$ 構造の選択された方との間にに入る、あるボンディング温度を有するウェーハ・ボンド界面(16)と、p及びnの接触部(22a、22b)が含まれており、p接触部がpタイプ層に電気的に接続され、n接触部がnタイプ層に電気的に接続されることを特徴とする、デバイス。



【特許請求の範囲】

【請求項1】基板と、

前記基板に近接して配置されたnタイプ層pタイプ層及び活性層を含む $Al_xGa_yIn_zN$ 構造と、

前記基板と前記 $Al_xGa_yIn_zN$ 構造の底側の間にに入る第1のミラー・スタックと、

第1のミラー・スタックと前記基板及び前記 $Al_xGa_yIn_zN$ 構造の選択された方との間にに入る、あるボンディング温度を有するウェーハ・ボンド界面と、pタイプ及びnタイプの接触部が含まれており、pタイプの接触部がpタイプ層に電気的に接続され、nタイプの接触部がnタイプ層に電気的に接続されることを特徴とする、デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光分野に関するものであり、とりわけ、 $Al_xGa_yIn_zN$ デバイスの両側に高品質の反射表面を設けることに関するものである。

【0002】

【従来の技術】垂直空洞光電子構造は、ドープされる場合も、あるいは、ドープされない場合もあり、あるいは、p-n接合を含む場合もある、閉じ込め層間に発光層によって形成された活性領域を挿入して構成される。この構造には、発光層に対して垂直な方向にファブリ・ペロー空洞を形成する少なくとも1つの反射ミラーも含まれている。 $GaN/Al_xGa_yIn_zN/Al_xGa_{1-x}N$ (ここで、 $Al_xGa_yIn_zN$ の場合、 $x+y+z=1$ であり、 $Al_xGa_{1-x}N$ の場合、 $x \leq 1$) 材料系によって垂直空洞光電子構造を組立てる場合には、他のI-II-V材料系との違い顕著なものにする難問が課せられる。光学的品質の高い $Al_xGa_yIn_zN$ 構造を成長させるのは困難である。電流拡散が、 $Al_xGa_yIn_zN$ デバイスの主たる問題点である。pタイプ材料における側方電流拡散は、nタイプ材料における場合よりも約30分の1である。さらに、基板の多くの熱伝導率が低いために、最適な放熱が得られるように、デバイスは、接合部を下に向けて取り付けるのが望ましいので、デバイスの設計がいっそう複雑になる。

【0003】例えば、垂直空洞面発光レーザ (VCSEL) のような垂直空洞光電子構造は、例えば、99.5%といった高品質のミラーを必要とする。高品質のミラーを実現するための方法の1つは、半導体成長技法によるものである。VCSELに適した分布プラグ・リフレクタ (DBR) に必要な高反射率 ($> 99\%$) に到達するには、クラッキング及び導電率を含む、半導体 $Al_xGa_yIn_zN$ によるDBRの成長に関する重大な材料問題が存在する。これらのミラーは、多くの周期/層をなす窒化インジウム・アルミニウム・ガリウムの交互組成 ($Al_xGa_yIn_zN/Al_xGa_yIn_zN$) を

必要とする。半導体DBRとは対照的に、誘電体DBR (D-DBR) は、 $Al_xGa_yIn_zN$ 系の及ぶスペクトル範囲において99%を超える反射率になるように製造するのが比較的簡単である。これらのミラーは、一般に、蒸着またはスパッタリング技法によって堆積せられるが、MBE (分子線エピタキシ) 及びMO-CVD (金属有機化学蒸着) を利用することも可能である。しかし、成長基板が除去されない限りにおいて、活性領域の片側だけにアクセスして、D-DBRの堆積を行うことも可能である。 $Al_xGa_yIn_zN$ の活性領域の両側においてD-DBRのボンディング及び/または堆積を行うことが可能であれば、 $Al_xGa_yIn_zN$ による垂直空洞光電子構造の生産は、かなり容易になるであろう。

【0004】ウェーハ・ボンディング法は、2つの基本的カテゴリ、すなわち、直接ウェーハ・ボンディング法及び金属ウェーハ・ボンディング法に分けることができる。直接ウェーハ・ボンディング法の場合、2つのウェーハが、ボンディング界面における質量輸送を介して、

互いに融着させられる。直接ウェーハ・ボンディング法は、半導体、酸化物、及び、誘電体材料の任意の組み合わせ間において実施することができる。通常、それは高温 ($> 400^{\circ}\text{C}$) 及び単軸圧力下で行われる。米国特許第5,502,316号明細書には、Kishiharaによる適切な直接ウェーハ・ボンディング法の1つに関する記載がある。金属ウェーハ・ボンディング法の場合、2つのボンディング基板を接着させるため、それらの間に金属層が配置される。Applied Physics Letters, vol. 56, pp. 141-9-2421, 1990において、Yablonovitchによって開示された金属ボンディング法の一例が、フリップ・チップ・ボンディング、すなわち、マイクロ及び光電子機器産業において用いられる、デバイスを逆さまにして基板に取り付ける技法である。フリップ・チップ・ボンディングを用いて、デバイスの放熱を改善するので、基板の除去は、デバイス構造によって決まり、一般に、金属ボンディング層に関する唯一の要件は、導電性で、機械的に堅牢ということだけである。

【0005】Applied Physics Letters, Vol. 64, No. 12, 1994, pp. 1463-1465の「Low threshold wafer used long wavelength vertical cavity lasers」には、Dudleyによって、垂直空洞構造の片側に対する $AlAs/GaAs$ 半導体DBRの直接ウェーハ・ボンディング法が教示されており、IEEE Photonics Technology Letters, Vol. 7, No. 11, November 1995の「Room-Temperature Continuous-Wave Operation of

1. $54-\mu\text{m}$ Vertical-Cavity Lasers,」には、Babich他によって、AlAs/GaAs間における屈折率の大きい変化を利用するため、InGaAsP VCSELの両側に対する直接ウェーハ・ボンディング法を施された半導体DBRが教示されている。上述のように、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ に対するウェーハ・ボンディングD-DBRは、半導体間ウェーハ・ボンディングに比べてかなり複雑であり、当該技術においてこれまで知られていないかった。

【0006】IEEE Photonics Technology Letters, Vol. 5, No. 12, December 1994の「Dielectrically-Bonded Long Wavelength Vertical Cavity Laser on GaAs Substrates Using Strain-Compensated Multiple Quantum Wells」には、Chua他によって、スピノン・オン・ガラス層を用いてInGaAsPレーザに取り付けられるAlAs/GaAs半導体DBRが開示されている。スピノン・オン・ガラスの正確な厚さを制御するのが困難であり、VCSEL空洞に必要とされる厳密な層制御ができないので、スピノン・オン・ガラスは、VCSELにおける活性層とDBRの間のボンディングに適した材料ではない。さらに、ガラスの特性は、不均質であり、空洞内において散乱及び他の損失を生じさせることになる。

【0007】例えば、9.9%よりも大きく、VCSELにとって十分な反射率を備えた $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$ による対をなす半導体DBRミラーの光学ミラー成長は、困難である。図1を参照すると、反射率の理論的計算によって、必要とされる高反射率を実現するためには、屈折率の大きいコントラストが必要とされ、それは低屈折率の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層におけるAl成分を増加させること、及び/または、より多くの層周期を含むことによってのみ得ることが可能になる（材料特性はAmbacher他によるMRS Internet Journal of Nitride Semiconductor Research, 2 (22) 1997から引用）。これらのアプローチのいずれも、重大な難問をもたらすことになる。DBR層に電流を伝導する場合、DBRが導電性であることが重要である。導電性が十分であるためには、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層は、十分なドーピングを施さなければならぬ。Si (nタイプ) ドーピングの場合には約50%未満まで、また、Mg (pタイプ) ドーピングの場合には約20%未満までAl成分を減少させない限り、導電性は、不十分である。しかし、図1に示すように、Al成分の少ない層を利用して十分な反射率を実現するために必要とされる層の周期数によって、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層の全体厚さを厚くすることが必要になるが、エピタキシャル層にクラッキングを生じる

恐れが増大し（AlNとGaNとの間の比較的大きい格子不整合のため）、組成の制御が弱められる。実際、図1の $\text{Al}_{1.30}\text{Ga}_{.70}\text{N}/\text{GaN}$ スタックは、厚さが既に約 $2.5\mu\text{m}$ あり、決してVCSELにとって十分な反射率ではない。従って、この層対をベースにした高反射率のDBRは、 $2.5\mu\text{m}$ よりかなり厚い全体厚さを必要とし、AlN及びGaNの成長条件と材料特性の間に不整合が生じると、確実な成長が困難になる。層にドーピングが施されない場合、クラッキングはそれほど大きい問題にならなくても、組成の制御及びAlN/GaN成長温度によって、やはり、高反射率DBRの成長にとってかなりの難問が課せられることになる。従って、DBRが電流を伝導する必要のない用途であっても、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 材料系における反射率が9.9%より大きい半導体ミラー・スタックは実証されていない。このため、誘電体ベースのDBRが望ましい。

【0008】

【発明が解決しようとする課題】従って、本発明の目的は高品質で製造容易な高反射率ミラーを備える半導体デバイスの構造を与えることである。また、ミラーとして誘電体分布ブリッジ・リフレクタ（D-DBR）を用いて該高反射率ミラーを備える半導体デバイスの構造を与えることである。

【0009】

【課題を解決するための手段】例えば、誘電体分布ブリッジ・リフレクタ（D-DBR）または複合D-DBR/半導体DBRのような少なくとも1つのミラー・スタックが、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域とホスト基板の間に挿入される。ウェーハ・ボンド界面は、ホスト基板と活性領域の間のどこかに配置される。オプション中間ボンディング層は、ウェーハ・ボンド界面における歪みと熱膨張係数の不整合を適応させるため、ウェーハ・ボンド界面に隣接している。オプションのミラー・スタックが、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域に隣接して配置されている。ホスト基板と中間ボンディング層のいずれかが、コンプライアンスを持つように選択される。

【0010】前述の発明の実施態様の1つは、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域に隣接して配置されたウェーハ・ボンド界面を備えるデバイスから構成され、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域は、例えば、 Al_2O_3 のような犠牲基板上に製作される。 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域と、ホスト基板に取り付けられたミラー・スタックとに直接ウェーハ・ボンディング法が施される。次に、犠牲基板が除去される。オプションのミラー・スタックが $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域の上に取り付けられる。取り付け技法には、ボンディング、堆積、及び、成長が含まれる。nタイプ層及びpタイプ層に電気的接触部が付加される。

【0011】ホスト基板に隣接して配置されたウェーハ・ボンド界面を備える代替実施態様の場合、ミラー・スタックが、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ 活性領域の上に取り付け

られる。直接ウェーハ・ボンディング法が用いられる場合、ミラー・スタックに対して、適正な機械的特性を備えるように選択されたホスト基板のウェーハ・ボンディングが施される。代わりに、金属ボンディング法を利用して、ミラー・スタックに対するホスト基板のボンディングを行うことも可能である。犠牲基板は除去される。オプションのミラー・スタックが、 $A_{1x}G_{ay}I_{nz}N$ 活性領域の上に取り付けられる。電気的接触部が、nタイプ層及びpタイプ層の上に加えられる。直接ウェーハ・ボンディング法の場合、所望の特性を得るためのホスト基板の選択は、重要である。他の実施態様には、DBR内におけるウェーハ・ボンド界面の位置決めが含まれる。

【0012】

【発明の実施の形態】誘電体分布ラッピング・リフレクタ(D-DBR)は、対をなす材料の一方の屈折率が小さく、もう一方の屈折率が大きい、スタック対をなす低損失誘電体から構成される。二酸化珪素(SiO_2)の層と、酸化チタン(TiO_2)、酸化ジルコニウム(ZrO_2)、酸化タンタル(Ta_2O_5)、または、酸化ハフニウム(HfO_2)の層対をベースにした可能性のある誘電体DBRミラーの中には、青色垂直空洞面発光レーザ(VCSEL)に必要とされる、例えば、99.5%を超える、あるいは、共振空洞発光デバイス(RCLED)に必要とされる、例えば、約60%以上といった高反射率を実現することが可能なものもある。 SiO_2/HfO_2 のスタック対は、350~500nmの波長範囲において99%を超える反射率を備えたミラー・スタックを生産するために利用することができる、特に重要である。 SiO_2 と HfO_2 の交互層によって組立られるD-DBRは、1050°Cまで機械的に安定しているので、後続の処理に対してフレキシビリティもたらすことが分かっている。

【0013】図2には、望ましい実施態様が示されている。図2の場合、例えば、DBRのような高反射率の第1のミラー・スタック14が、適合する基板に取り付けられている。犠牲基板上に成長させられた $A_{1x}G_{ay}I_{nz}N$ 活性領域18の上部p層18bに対して、第1のミラー・スタック14のウェーハ・ボンディングが施される。 $A_{1x}G_{ay}I_{nz}N$ 垂直空洞光電子構造18は、所望の波長で高利得が得られるように設計されている。ウェーハ・ボンド界面16は、散乱が極めて少ない、優れた光学的品質を備えていなければならない。ウェーハ・ボンド界面16には、オプションの中間ボンディング層(不図示)を含むことが可能である。例えば、D-DBRのようなオプションの第2のミラー・スタック20(図2に示す)が、第1のミラー・スタック14の反対側において、 $A_{1x}G_{ay}I_{nz}N$ 垂直空洞光電子構造18に取り付けられている。オプションの第2のミラー・スタック20及び $A_{1x}G_{ay}I_{nz}N$ 活性領域18のn

層18a及びp層18bにパターン形成及びエッチングを施して、オーム接触部のための領域を形成することが可能である。VCSELの場合、ミラーは、99%より大きい極めて高い反射率を備えていなければならない。RCLEDの場合、ミラーの反射率要件は緩和され60%より高ければよい。

【0014】代替アプローチでは、ミラー・スタック14が $A_{1x}G_{ay}I_{nz}N$ 活性領域18に取り付けられる。ウェーハ・ボンド界面16は、従って、ミラー・スタック14とホスト基板12の間に位置している。この構造も、オプションの第2のミラー・スタック20を備えることが可能である。最初の2つのいずれかに関連して用いられる、さらにもう1つのアプローチでは、ミラー・スタックの一方または両方の中央部において直接ウェーハ・ボンディングを施すことになる。図2には、ウェーハ・ボンド界面16の可能性のあるいくつかの位置が示されている。

【0015】電流収敛は、電流及び光閉じ込めを改善し、それによって、発振しきい値を低下させか、または、デバイスの効率を向上させるため、エッチング及び/または酸化を施すことが可能な $A_{1x}G_{ay}I_{nz}N$ 層を挿入することによって、nタイプまたはpタイプの活性領域材料で実現することが可能である。D-DBR及び/またはアンドープ半導体DBRが用いられる場合、電流がそれらを通じて伝導されないので、こうした層を組み込むことは重要である。空洞は、適正な低順電圧を得るために、接触層に必要とされる厚さに従って、单一波長空洞の場合もあれば、多重波長空洞の場合もある。上述の構造に対するさまざまな変更が可能である。pタイプ材料とnタイプ材料を切り替えて 同様の構造を得ることも可能である。

【0016】図3A~図3Fには、本発明の実施態様に対応するフローチャートを説明するための構造が示されている。図3Aでは、 $A_{1x}G_{ay}I_{nz}N$ 活性領域18が、例えば、 $A_{12}O_3$ のような犠牲基板上に製作される。図3Bでは、第1のミラー・スタック14がホスト基板12に取り付けられる。取り付け技法には、ボンディング、堆積、及び、成長が含まれる。図3Cでは、ウェーハ・ボンディングによって、第1のミラー・スタック14が $A_{1x}G_{ay}I_{nz}N$ 活性領域18に取り付けられる。VCSELの場合、光学損失が少ないと重要であるため、直接ウェーハ・ボンディング法を利用するのが望ましい。図3Dでは、犠牲基板が除去される。図3Eでは、オプションの第2のミラー・スタック20が、 $A_{1x}G_{ay}I_{nz}N$ 活性領域18の上に取り付けられる。図3Fでは、電気的接触部22a、22bが、オプションの第2のミラー・スタック14または $A_{1x}G_{ay}I_{nz}N$ 活性領域18に付加される。プロセスの流れにおいて、デバイス領域を形成し、接触層を露出させるためのパターン形成が実施することができる。

【0017】図4A～図4Fには、代替プロセスのフローチャートが絵画的に示されている。図4Aでは、 $A_{1-x}Ga_yIn_zN$ 活性領域18が、犠牲基板上に成長させられる。図4Bでは、第1のミラー・スタック14が、 $A_{1-x}Ga_yIn_zN$ 活性領域18に取り付けられる。図4Cでは、直接ウェーハ・ボンディング法または金属ボンディング法によって、ホスト基板12が第1のミラー・スタック14に取り付けられる。ウェーハ・ボンド界面は、光学空洞の外部にあるため、ウェーハ・ボンディングによる損失がそれほど重要ではない。図4Dでは、犠牲基板が除去される。図4Eでは、オプションの第2のミラー・スタック20が、 $A_{1-x}Ga_yIn_zN$ 活性領域18に取り付けられる。図4Fでは、オプションの第2のミラー・スタック20または $A_{1-x}Ga_yIn_zN$ 活性領域18に、電気的接触部22a、22bが附加される。プロセスの流れにおいて、デバイス領域を形成し、接触層を露出させるためのパターン形成を実施することも可能である。

【0018】直接ウェーハ・ボンディングのためのホスト基板12の選択は、重要であり、質量輸送、コンプライアンス、及び、応力/歪み解放といった、いくつかの特性によって影響される。ホスト基板は、リン化ガリウム(GaP)、砒化ガリウム(GaAs)、リン化インジウム(InP)、または、シリコン(Si)を含むグループから選択することが可能であり、Siの場合、基板の望ましい厚さは、10nmと50μmの間である。

【0019】質量輸送は、直接ウェーハ・ボンディングにおいて重要な役割を果たす。標準的なIII-V材とIII-V材の直接ウェーハ・ボンディング、あるいはIII-V材と誘電体の直接ウェーハ・ボンディングの場合、少なくとも1つの表面が、層の品質を保つのに十分な低温において、かなりの質量輸送を示す。対照的に、 $A_{1-x}Ga_yIn_zN$ 材料と大部分の誘電体材料は、Inを多く含む $A_{1-x}Ga_yIn_zN$ 活性層の完全性の維持に合わせた温度において、あまり質量輸送を示さない。ボンディング材料の一方または両方における質量輸送の不足は、ウェーハの接着を妨げる。これに関するモデルでは、ボンディング温度において、両方の材料がかなりの質量輸送を示す場合、両方の材料のボンドが、転位して、界面全域にわたって最強のボンドをなすことが可能である。一方の材料だけが、かなりの質量輸送を示す場合、この一方の材料だけのボンドは、もう一方の材料の表面ボンドとのアライメントをとることが可能である。この状況では、機械的強度の高いウェーハ・ボンドの形成は困難である。

【0020】コンプライアンスは、材料が原子的または微視的規模で形状を変化させて、歪み及び応力に適応する能力である。本発明のため、コンプライアンスは、ボンディング温度より低い融点を備える材料によって、あるいは、材料が、ボンディング温度未満で延性/脆性遷

移を生じる場合、または、基板が約50μmより薄い場合に実現されるものと定義される。

【0021】GaP、GaAs、及び、InPの基板に関する標準的なIII-V材のウェーハ・ボンディングは、一般に、両方の基板がコンプライアンスを示す400～1000°Cの温度で実施される。ボンディング材料は、微視的または巨視的規模で固有の表面粗さ及び/または平面性の不足を備えているので、ボンディング材料の少なくとも一方のコンプライアンスが、ウェーハ・ボンディングにとって不可欠である。1000°Cの温度で、N₂の雰囲気において、20分間にわたって、 $A_{1-x}Ga_yIn_zN$ 構造にアニーリングを施すと、PL強度が約20%低下する。従って、ボンディング温度を1000°C未満に保つことが望ましい。 $A_{1-x}Ga_yIn_zN$ ベースの材料は、1000°C未満のボンディング温度ではコンプライアンスを示さない。禁止帯幅の広い半導体用に反射率の高いD-DBRを組立てるために用いられる誘電体材料は、一般に、1000°C未満ではコンプライアンスを示さない。従って、ボンディング/支持基板及び/または中間ボンディングが該温度においてコンプライアンスを示すことが重要である。

【0022】融点T_mが、材料のコンプライアンスを決定する1つの特性である。例えば、GaAs (T_m=1519K)、GaP (T_m=1750K)、及び、InP (T_m=1330K)といった材料の場合、明らかに、コンプライアンスの相対順序は、InP、GaAs、GaPで、InPが最も高いコンプライアンスを備えている。材料は、一般に、融点未満において延性/脆性遷移を被る。高温におけるこれらの材料のコンプライアンスは、元素の1つの脱着とバランスがとれなければならない。InPが1000°Cでコンプライアンスを示すとしても、リンの脱着のため、その温度において材料の激しい分解を生じることになる。こうした材料とのボンディングは、ボンディング中の周囲圧力における脱着温度の約2倍未満の温度に制限されるべきである。従って、材料の選択は、必要とされるコンプライアンス及びボンディング温度の両方の条件を満足しなければならない。

【0023】極めて薄い基板も、コンプライアンスを備えることが可能である。例えば、50μmより薄いシリコンは、曲率半径が大きくても、基板が薄ければ、応力が弱くなるので、コンプライアンスを備えている。この技法は、例えば、シリコン (11270N/mm²) または $A_{1-x}Ga_yIn_zN$ のような、破壊硬度の高い材料に有効に働く。しかし、例えば、GaAs (2500N/mm²) のような破壊硬度の低い材料は、取扱い時に簡単に壊れる可能性がある。厚さが50μmを超えるシリコンの場合、曲率半径が小さくても、材料に強い応力が生じて、材料を破壊する可能性がある。同じことが、可能性のある基板候補である他の材料にも当てはまる。

【0024】応力及び歪みの解放は、 Al_2O_3 上に成長させられる GaN における大きい不整合歪み、並びに、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ と他の大部分の適合する支持基板材料との間における熱膨張率(CTE)の不整合によって悪化する。ウェーハ・ボンディングを施される他の半導体材料と対比すると、 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ と他の半導体材料の間におけるCTEの不整合はより大きく、ウルツ鉱材料のa平面及びc平面に沿った異なるCTE不整合によって、応力がいっそう大きくなる。ホスト基板のCTE不整合は、両方の GaN 平面のCTE不整合とほぼ一致するのが望ましいので、異なる基板(GaN : $\text{CTE} = 5.8 \times 10^{-6}/^\circ\text{C}$, GaP : $\text{CTE} = 6.8 \times 10^{-6}/^\circ\text{C}$, InP : $\text{CTE} = 4.5 \times 10^{-6}/^\circ\text{C}$)に対してウェーハ・ボンディングを施される GaN ($\text{CTE} = 5.59 \times 10^{-6}/^\circ\text{C}$, a平面/ $3.17 \times 10^{-6}/^\circ\text{C}$, c平面)の応力は、局部的応力解放を必要とする。この応力については、ボンディング温度で、ボンディング界面におけるコンプライアンス材料、すなわち、軟質の中間ボンディング層または液体によって、あるいは、例えば、ボンド界面の少なくとも一方にパターン形成を施すといったように、局部的歪み解放部分を設けることによって、適応することが可能である。中間ボンディング層は、誘電体、及び、ハロゲン化物(例えば、 CaF_2)、 ZnO 、インジウム(In)、スズ(Sn)、クロム(Cr)、金(Au)、ニッケル(Ni)、及び、銅(Cu)とII-VI材料を含有する合金を含むグループから選択される。

【0025】電流拡散は、 GaN ベースのデバイスのもう1つの主たる問題である。pタイプ材料における側方電流拡散は、nタイプ材料の場合の約30分の1である。良好な空洞を得るには、活性層の両側に高反射率のミラーを組立てることが必要になるが、D-DBRが絶縁性のため、側方電流拡散問題は悪化する。p層における電流拡散を改善する方法の1つは、導電性の透明な半導体及び誘電体のスタックから複合DBRを組立てることである。スタックの半導体部分は、pタイプ層の厚みを増すことによって電流拡散を改善し、一方、誘電体スタックは、半導体の低反射率を改善して、ミラーの全反射率が99%を超えるようにする。nタイプのミラーに対して、この同じ手順を適用することは可能であるが、nタイプ層の導電率はpタイプ層より高いので、それほど重要ではない。

【0026】電流収斂層を追加すると、電流を空洞だけに送り込むことによって、電流拡散がいっそう改善されるので、電流収斂層はVCSELにとって必要になる場合がある。これは、複合半導体/誘電体DBRを備える垂直空洞光電子構造にも、あるいは、備えない垂直空洞光電子構造にも適用可能であり、複合ミラーの半導体部分に組み込むことが可能である。電流収斂層は、閉じ込め層のpタイプ層とnタイプ層の両方に含むことが可能

であるが、導電率が低いので、pタイプ閉じ込め層における場合が最も有効である。

【0027】活性領域の両側にD-DBRを取り付けるべき場合には、もとのホスト基板を除去しなければならないので、支持基板が必要になる。一般に、成長基板として用いられる、サファイア基板を除去するための方法がいくつか存在する。以下で概要を示す方法は、サファイア以外の材料とすることも可能な、成長基板の除去に用いることができる技法のいくつかを例示する。

10 【0028】レーザ融解において、サファイア基板は透過するが、基板に隣接した半導体層は透過しない波長を備えたレーザを用いる、Wong他及びKleley他によって開示の技法では、構造の背面(サファイア側)を照射する。レーザ・エネルギーは、隣接する半導体層を貫通することができない。レーザ・エネルギーが十分であれば、サファイア基板に隣接した半導体層は、その分解点まで加熱される。 GaN が、サファイア基板に隣接した層である場合、界面における層が、 Ga と Ni に分解し、界面には Ga が残されることになる。次に、金属 Ga が融解され、サファイア基板が層構造の残りの部分から除去される。サファイア基板に隣接した層の分解は、レーザ・エネルギー、波長、材料の分解温度、及び、材料の吸収によって決まる。この技法によってサファイア基板を除去することが可能であり、この結果、活性領域のもう一方の側にD-DBRを取り付けることが可能になる。しかし、VCSEL界面は、空洞の共振特性を最大にするため、損失が0.5%を超えないよう、極めて平滑であることが不可欠である。このレーザ融解技法には、レーザ融解界面をVCSELに必要な平坦さに欠けるものにする可能性のある多くの設計変数がある。さらに、VCSELには、極めて厳しい厚さの制約がある。レーザ融解を用いて、これらの問題を両方とも軽減することが可能な方法がいくつか存在する。

20 【0029】犠牲成長基板に隣接した層は、その厚さが、レーザによって、層が完全に分解されるほどのものであれば、犠牲層であると定義される。文献(Wong他)において発表された結果によれば、完全に分解される層厚は、約500Åということであるが、この値は、レーザのエネルギー、レーザ波長、及び、材料の分解温度、さらに、基板に隣接した層の吸収によって左右される。犠牲層に隣接した(基板に向かい合った)層、すなわち、阻止層は、レーザ波長において、犠牲層よりも分解温度が高くなるか、あるいは、吸収が少くなるように選択される。阻止層は、分解温度が高いか、あるいは、吸収が少ないので、レーザ・エネルギーによって大きく影響されることはない。この構造の場合、犠牲層は、レーザによって分解され、分解温度が高いか、あるいは、吸収が少ない阻止層に階段界面が残される。さらに、阻止層も、エネルギー及び波長の異なるレーザを用いて、後で、エッティング、酸化及びエッティング、または、

30

40

50

分解を施すことが可能である。

【0030】望ましい層の組み合わせは、 $GaN/A_{1-x}Ga_{1-x}N$ 、 $InGaN/A_{1-x}Ga_{1-x}N$ 、及び、 $InGaN/GaN$ である。 $GaN/A_{1-x}Ga_{1-x}N$ の場合、 GaN 犠牲層は、レーザによって分解するが、 $A_{1-x}Ga_{1-x}N$ 阻止層が影響を受けることはない。次に、平滑な $A_{1-x}Ga_yIn_zN$ で阻止される選択的な湿式化学エッチャングを利用して、 $A_{1-x}Ga_{1-x}N$ をエッチャングで除去することが可能である。あるいはまた、上述の GaN 層が完全に分解されない場合には、残りの GaN をエッチャングで除去することが可能である。制御された厚さを備え、極めて平滑であることが必要とされる GaN 成長層とVCSEL層の界面の開始時において、厚い緩衝層が必要になるので、この技法は特に重要になる可能性がある。

【0031】特定の層または空洞の厚さは、1つ以上の犠牲層及び阻止層を用いて調整することが可能である。レーザ融解及び選択的湿式化学エッチャングによって、所望の厚さに達するまで、順次、層対を分解し、エッチャングを施すことが可能である。望ましい層の組み合わせは、 $GaN/A_{1-x}Ga_{1-x}N$ であるが、この場合、 GaN は犠牲層であり、 $A_{1-x}Ga_{1-x}N$ 阻止層には、湿式化学エッチャングを選択的に施すことが可能である。

【0032】成長基板を除去する他の代替方法も存在する。それらの方法の1つは、湿式化学エッチャングを用いて、選択的にエッチャングを施すことが可能な AlN を利用することである。 AlN は、犠牲層として用いることが可能であり、この場合、 AlN 選択的エッチャングを利用して、構造にアンダーカットを施すことによって、ホスト基板から $A_{1-x}Ga_yIn_zN$ 層を除去することができる。あるいはまた、高温において、湿式酸化プロセスを利用し、 AlN 層を酸化させることも可能である。次に、例えば、HFのようなエッチャング液を用いて、 AlN 酸化物をエッチャングで除去することができる。もう1つのアプローチでは、例えば、材料に光イオンを注入することによって、基板を剥離させることができる。これによると、所定の深さに欠陥が生じる。基板を加熱すると、材料が、転位によって選択的に劈開し、基板が活性層から分離される。化学エッチャング液を介して ZnO または他の誘電体緩衝層に対するアンダーカットを用いることによって、 $A_{1-x}Ga_yIn_zN$ 層から基板を除去することも可能である。この技法は、 $A_{1-x}Ga_yIn_zN$ 層が基板全域にわたって、または、パターン形成された領域に限って連続している、2Dまたは3D成長技法（例えば、ELOGに用いられる SiO_2 または他の誘電体）に適用することが可能である。

【0033】誘電体DBRは、サファイア基板上に成長させた $A_{1-x}Ga_yIn_zN$ 活性領域上に堆積させられてきた。次に、ホスト基板に対して、 $DBR/A_{1-x}Ga_yIn_zN$ 活性領域構造のウェーハ・ボンディングが施さ

れていた。事例1の場合、 GaP ホスト基板に対して、 $DBR/A_{1-x}Ga_yIn_zN$ 活性領域構造の直接ウェーハ・ボンディングが施された（図4A～図4Fを参照されたい）。事例2の場合、 GaP ホスト基板に対して、 CaF_2 中間層を介して、 $DBR/A_{1-x}Ga_yIn_zN$ 活性領域構造のウェーハ・ボンディングが施された（図4A～図4F、中間層は不図示）。事例3の場合、ホスト基板（ GaP ）上にD-DBRが堆積させられ、 $A_{1-x}Ga_yIn_zN$ 活性領域に対して、D-DBRの直接ウェーハ・ボンディングが施された（図3A～図3F）。事例1及び3の場合、中間層を利用しないので、ボンド領域は事例2の場合に比べてはるかに小さかった。図5には、事例1の構造に関するボンド界面の走査電子顕微鏡（SEM）による断面画像が示されている。界面は平滑であり、この倍率では、ボイドが見えない。事例4の場合、 $CrAuNiCu$ 合金から構成される金属中間層を介して、ホスト基板に対する $A_{1-x}Ga_yIn_zN$ 活性領域構造のボンディングが施された。図6には、除去された事例4のサファイア基板と、 $A_{1-x}Ga_yIn_zN$ 活性領域構造の第1のD-DBRとは反対の側に堆積させられた第2のD-DBRのSEM断面画像が示されている。全てのデバイスについて、DBRスタックは、 SiO_2/HfO_2 であり、サファイア基板は、レーザ融解技法を用いて除去された。図7には、図6に解説のデバイスからの400～500nmの発光スペクトルが示されている。モード・ピークは、垂直空洞構造の特性を示している。

【0034】本発明の広範囲な実施の参考に供するため、本発明の実施態様の一部を以下に列記する。

30 (実施態様1) 基板12と、前記基板12に近接して配置されたnタイプ層pタイプ層及び活性層を含む $A_{1-x}Ga_yIn_zN$ 構造18と、前記基板と前記 $A_{1-x}Ga_yIn_zN$ 構造の底側の間にに入る第1のミラー・スタック14と、第1のミラー・スタック14と前記基板12及び前記 $A_{1-x}Ga_yIn_zN$ 構造18の選択された方との間にに入る、あるボンディング温度を有するウェーハ・ボンド界面16と、pタイプ及びnタイプの接触部(22a、22b)が含まれており、pタイプの接触部がpタイプ層に電気的に接続され、nタイプの接触部がnタイプ層に電気的に接続されることを特徴とする、デバイス。

【0035】(実施態様2)さらに、ウェーハ・ボンド界面に隣接して、少なくとも1つの中間ボンディング層が含まれていることと、中間ボンディング層と基板の一方が、コンプライアンスを備えるように選択されることを特徴とする、実施態様1に記載のデバイス。

(実施態様3) $A_{1-x}Ga_yIn_zN$ デバイス(18)が、垂直空洞光電子構造であることを特徴とする、実施態様2に記載のデバイス。

50 (実施態様4) $A_{1-x}Ga_yIn_zN$ デバイス(18)

に、さらに、pタイプ層内の電流収斂層が含まれていることを特徴とする、実施態様3に記載のデバイス。

【0036】(実施態様5) 基板がコンプライアンスを備えており、リン化ガリウム(GaP)、砒化ガリウム(GaAs)、リン化インジウム(InP)、及び、シリコン(Si)を含むグループから選択されることを特徴とする、実施態様2に記載のデバイス。

(実施態様6) 中間ボンディング層が、コンプライアンスを備えており、誘電体、及び、ハロゲン化物、ZnO、インジウム、スズ、クロム(Cr)、金、ニッケル、及び、銅とII-VI材料を含有する合金を含むグループから選択されることを特徴とする、実施態様2に記載のデバイス。

(実施態様7) さらに、Al_xGa_yIn_zN構造の上部側に隣接して配置された第2のミラー・スタック(20)が含まれていることを特徴とする、実施態様2に記載のデバイス。

(実施態様8) 第1と第2のミラー・スタック(14、20)の少なくとも一方が、誘電体分布プラグ・リフレクタ及び複合分布プラグ・リフレクタを含むグループから選択されることを特徴とする、実施態様7に記載のデバイス。

【0037】(実施態様9) さらに、Al_xGa_yIn_zN構造に隣接して配置された第2のミラー・スタック(20)が含まれることを特徴とする、実施態様1に記載のデバイス。

(実施態様10) 第1と第2のミラー・スタック(14、20)の少なくとも一方が、誘電体分布プラグ・リフレクタ及び複合分布プラグ・リフレクタを含むグループから選択されることを特徴とする、実施態様9に記載のデバイス。

【0038】(実施態様11) Al_xGa_yIn_zNデバイス(18)に、さらに、pタイプ層内の電流収斂層が含まれていることを特徴とする、実施態様1に記載のデバイス。

(実施態様12) 基板がコンプライアンスを備えており、リン化ガリウム(GaP)、砒化ガリウム(GaAs)、リン化インジウム(InP)、及び、シリコン(Si)を含むグループから選択されることを特徴とする、実施態様1に記載のデバイス。

(実施態様13) Al_xGa_yIn_zNデバイスが、垂直空洞光電子構造であることを特徴とする、実施態様1に記載のデバイス。

【0039】(実施態様14) Al_xGa_yIn_zN構造を組立てるための方法であって、第1のミラー・スタックにホスト基板を取り付けるステップと、犠牲成長基板上にAl_xGa_yIn_zN構造を組立てるステップと、ウェーハ・ボンド界面を形成するステップと、犠牲成長基板を除去するステップと、Al_xGa_yIn_zN構造に電気的接触部を堆積させるステップが含まれている、Al

_xGa_yIn_zN構造の組立方法。

【0040】(実施態様15) 犠牲成長基板を除去するステップに、レーザ融解が含まれることを特徴とする、実施態様14に記載のAl_xGa_yIn_zN構造の組立方法。

(実施態様16) さらに、ウェーハ・ボンド界面に中間ボンディング層を取り付けるステップが含まれることを特徴とする、実施態様14に記載のAl_xGa_yIn_zN構造の組立方法。

10 10 (実施態様17) ホスト基板及び中間ボンディング層の一方が、コンプライアンスを備えるように選択されることを特徴とする、実施態様16に記載のAl_xGa_yIn_zN構造の組立方法。

(実施態様18) さらに、Al_xGa_yIn_zN構造の上に第2のミラー・スタックを取り付けるステップが含まれることを特徴とする、実施態様14記載のAl_xGa_yIn_zN構造の組立方法。

20 20 【0041】(実施態様19) Al_xGa_yIn_zN構造を組立てるための方法であって、犠牲成長基板に対してAl_xGa_yIn_zN構造を組立てるステップと、Al_xGa_yIn_zN構造の上に第1のミラー・スタックを取り付けるステップと、ウェーハ・ボンド界面を形成するステップと、犠牲成長基板を除去するステップと、Al_xGa_yIn_zN構造に電気的接触部を堆積させるステップが含まれている、方法。

【0042】(実施態様20) 犠牲成長基板を除去するステップに、レーザ融解ステップが含まれることを特徴とする、実施態様19に記載のAl_xGa_yIn_zN構造の組立方法。

30 30 (実施態様21) さらに、ウェーハ・ボンド界面に中間ボンディング層を取り付けるステップが含まれることを特徴とする、実施態様19に記載のAl_xGa_yIn_zN構造の組立方法。

(実施態様22) ホスト基板と中間ボンディング層の一方が、コンプライアンスを備えるように選択されることを特徴とする、実施態様19に記載のAl_xGa_yIn_zN構造の組立方法。

(実施態様23) さらに、Al_xGa_yIn_zN構造の上に第2のミラー・スタックを取り付けるステップが含まれることを特徴とする、実施態様19に記載のAl_xGa_yIn_zN構造の組立方法。

【図面の簡単な説明】

【図1】AlN/GaN及びAl_{1.30}Ga_{0.70}N/GaN/GaN DBBRに関する理論反射率を波長に対してを示す図である。

【図2】本発明の望ましい実施態様を示す図である。

【図3A】本発明に対応するフローチャートを説明するための図である。

50 50 【図3B】本発明に対応するフローチャートを説明するための図である。

【図3C】本発明のに対応するフローチャートを説明するための図である。

【図3D】本発明のに対応するフローチャートを説明するための図である。

【図3E】本発明のに対応するフローチャートを説明するための図である。

【図3F】本発明のに対応するフローチャートを説明するための図である。

【図4A】本発明に対応する代替フローチャートを説明するための図である。

【図4B】本発明に対応する代替フローチャートを説明するための図である。

【図4C】本発明に対応する代替フローチャートを説明するための図である。

【図4D】本発明に対応する代替フローチャートを説明するための図である。

【図4E】本発明に対応する代替フローチャートを説明するための図である。

【図4F】本発明に対応する代替フローチャートを説明

するための図である。

【図5】GaN/A₁₂O₃構造に堆積させられたD-D BR構造とGaNホスト基板との間における直接ウェーハ・ポンディングを施された界面の走査電子顕微鏡(SEM)断面画像を示す図である。

【図6】ホスト基板に対して金属ポンディングを施された堆積D-DBRを備える、活性領域のSEM断面画像を示す図である。

【図7】図6に示されたデバイスからの400~500 nmの発光スペクトルを示す図である。

【符号の説明】

12 ホスト基板

14 第1のミラー・スタック

16 ウェーハ・ボンド界面

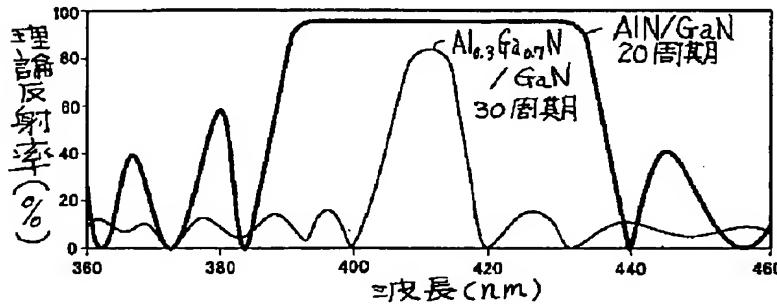
18 Al_xG_yI_n_zN構造

20 第2のミラー・スタック

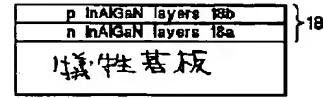
22a p接触部

22b n接触部

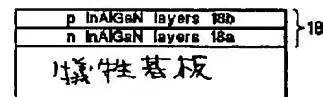
【図1】



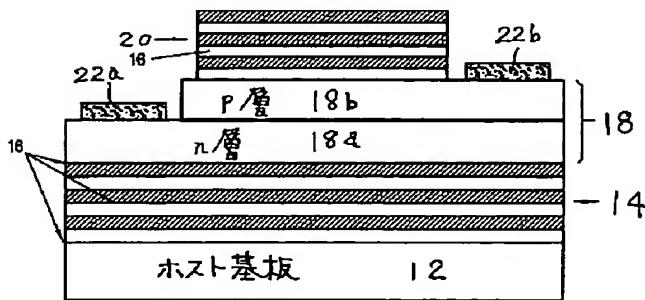
【図3A】



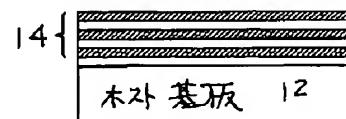
【図4A】



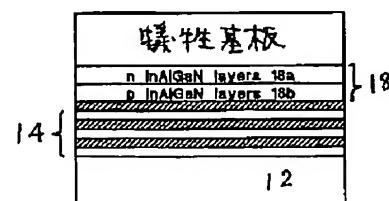
【図2】



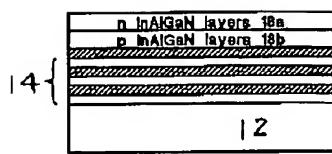
【図3B】



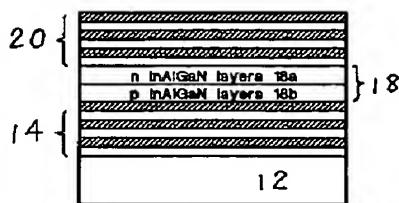
【図3C】



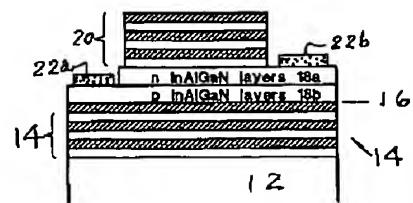
【図3D】



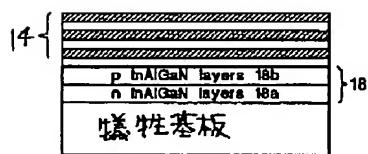
【図3E】



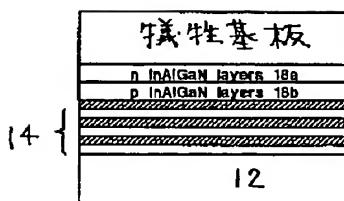
【図3F】



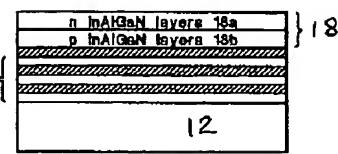
【図4B】



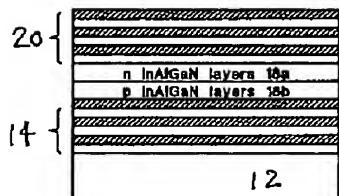
【図4C】



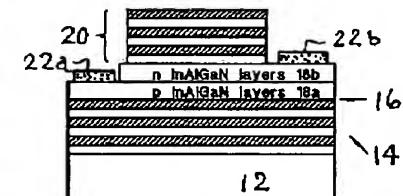
【図4D】



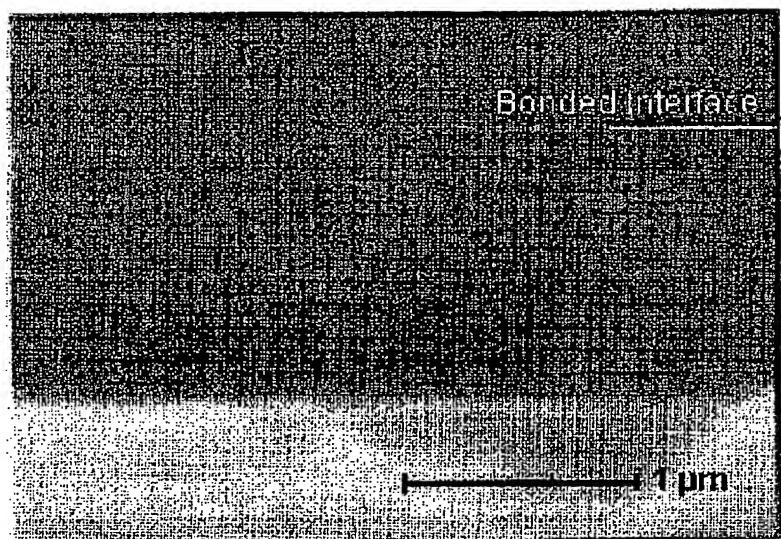
【図4E】



【図4F】

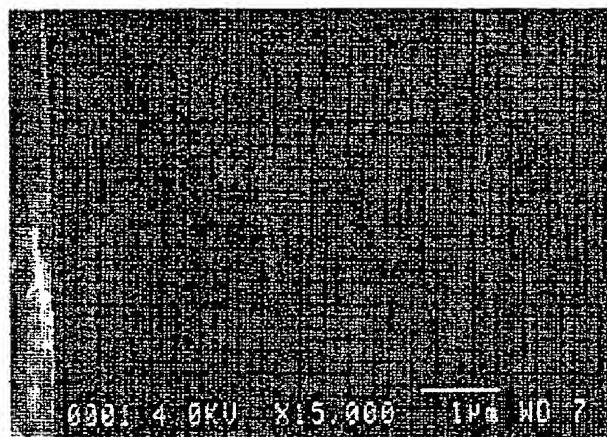


【図5】

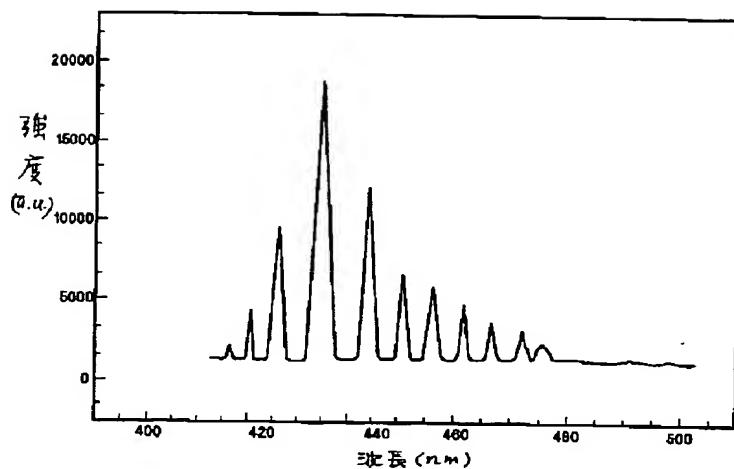


ウエーハ
ホント
界面

【図6】



【図7】



フロントページの続き

(71)出願人 399117121

395 Page Mill Road P
alo Alto, California
U. S. A.

(72)発明者 アール・スコット・カーン

アメリカ合衆国カリフォルニア州サンノゼ
バーディグリス・サークル 4226

(72)発明者 フレッド・エイ・キッシュ, ジュニア
アメリカ合衆国カリフォルニア州サンノゼ
ニューゲイト・コート 5815

(72)発明者 マイケル・アール・クレイムス

アメリカ合衆国カリフォルニア州マウンテン
ビュウ フロント・レイン 550

(72)発明者 アルト・ブイ・ナーミコ

アメリカ合衆国ロードアイランド州プロヴ
ィデンス サージェント・アベニュー 82

(72)発明者 ユーン-キュ・ソン

アメリカ合衆国ロードアイランド州プロヴ
ィデンス メドウエイ・ストリート 103

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.